

Classification Temps-Réel d'Ischémie Cardiaque pour Systèmes Embarqués Portables

Offre de Post-Doctorat – 15 mois

Mots-clés

Electronique biomédicale, Edge AI, Systèmes embarqués, Machine Learning, ischémie cardiaque, FPGAs, ASICs

Contexte et objectifs

Le laboratoire GeePs recrute un(e) chercheur(se) post-doctorant(e) pour participer à un projet ambitieux visant à développer un système embarqué portable capable de détecter, en temps réel, les épisodes d'ischémie cardiaque chez des patients à risque.

Ce projet s'appuie sur des travaux antérieurs [1] ayant permis la conception d'une électronique d'acquisition ECG et de prétraitement numérique temps-réel, optimisée pour le filtrage du bruit tout en préservant l'intégrité du segment ST, indicateur principal de l'ischémie cardiaque.

L'objectif du post-doctorat est de concevoir, implémenter et valider un algorithme de classification frugal, adapté à une future intégration ASIC (technologie XH018), avec un démonstrateur fonctionnel sur FPGA comme livrable principal.

Bibliographie

[1] Guénégo, B. (2023) *Conversion numérique de signaux biologiques de faibles intensités pour les applications biomédicales*. Thèse de doctorat, Université Paris-Saclay. Disponible sur <http://www.theses.fr/2023UPAST230>.

Déroulement prévisionnel du post-doc

Phase 1 – Analyse et conception algorithmique (mois 1 à 6)

- Etat de l'art sur la détection de l'ischémie cardiaque à partir de signaux ECG et l'analyse embarquée de ces signaux.
- Sélection des caractéristiques (*features*) : détermination des caractéristiques les plus pertinentes à extraire, à partir de la décomposition en ondelettes de l'ECG, pour la détection robuste de l'ischémie.
- Algorithme d'identification : développement de méthodes d'estimation efficace des caractéristiques sélectionnées.
- Développement du classificateur : conception en vue d'une implémentation frugale sur système embarqué compatible avec les contraintes de l'application.

Phase 2 – Implémentation matérielle et démonstrateur (mois 7 à 15)

- Implémentation VHDL : Architecture, synthèse et placement-routage sur FPGA.

- Conception du démonstrateur : Intégration des composants matériels (carte FPGA, ADC, front-end analogique) pour valider le système.
- Tests : Évaluation des performances fonctionnelles et temporelles sur signaux réalistes.
- *(Selon l'état d'avancement)* Étude préliminaire d'intégration ASIC (XH018) : synthèse, placement/routage, estimation de la surface et de la consommation.

Valorisation et perspectives

Les travaux ont ci-dessus pour vocation à être présentés lors de conférences et faire l'objet d'articles scientifiques dans des revues à comité de lecture.

Profil recherché

- Doctorat en électronique numérique, traitement du signal, ou discipline apparentée
 - Compétences solides en systèmes embarqués temps-réel
 - Expérience en développement et implémentation optimisée d'algorithmes pour des systèmes contraints (puissance, surface)
 - Maîtrise de Python et/ou Matlab
 - Maîtrise du langage VHDL et des outils FPGA (synthèse, placement, routage)
 - Esprit d'initiative, rigueur scientifique et aptitude au travail en équipe
 - Bonne maîtrise de l'anglais (écrit et oral)
-

Contacts

Pour toute question, veuillez contacter :

- Caroline Lelandais-Perrault à caroline.lelandais-perrault@centralesupelec.fr ou au +33 1 75 31 78 00
- Morgan Roger à morgan.roger@centralesupelec.fr ou au +33 1 75 31 78 91

Pour candidater, merci d'envoyer votre CV, une lettre de motivation, ainsi que les coordonnées de deux références à caroline.lelandais-perrault@centralesupelec.fr & morgan.roger@centralesupelec.fr avant le 16/06/2025.

Lieu : Laboratoire GeePs – CentraleSupélec – Université Paris-Saclay, 11 rue Joliot Curie 91192 Gif-sur-Yvette

Dates : 15 mois à partir d'octobre 2025